ČÍSLICOVÁ KONCEPCIA SIGMA - DELTA Č/A PREVODNÍKA IMPLEMENTOVANÁ DO FPGA

THE DIGITAL CONCEPTION OF THE SIGMA - DELTA CONVERTER IMPLEMENTED INTO FPGA

Č/A prevodníky sú technické zariadenia, ktoré umožňujú vzájomnú komunikačnú medzi diskrétnymi a spojitými systémami. Ich základná funkcia je výstižne obsiahnutá v výroku „Č/A prevodníky tvoria most medzi číslicovým a analógovým svetom“. Č/A prevodníky transformujú diskrétny signál, postupnosť binárnych číslic vo formáte spojitý signál.

The authors of the article describe the digital conception of the Sigma - Delta D/A converter which is completely implemented into a programmable logical device FPGA, XC 4005E. The described conception of the Sigma -Delta D/A converter requires minimum of the external components, only one resistor and one capacitor as a lowpass filter. Keywords: SD D/A Converter, FPGA, Lowpass Filter, Zero Order Hold Circuit-S/H.

**Úvod**

Proces Č/A prevodzu je možné opisovať vzťahom medzi postupnosťou vstupných vzorkov diskrétného signálu $x(n)$ a zodpovedajúcim spojitým signáлом $x(t)$. Ak predpokladame, že požadovaný spojitý signál je frekvenčne ohraničený frekvenciou $f_{\text{max}}$, potom je možné získat z postupnosti vzorkov $x(nT_s)$ na základe známej Shannonovej interpolácie formuly:

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_s) \frac{\sin(\pi T_s (t-nT_s))}{\pi T_s (t-nT_s)}$$

(1)

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_s) g(t-nT_s)$$

(2)

pričom interpolačná funkcia $g(t)$ je v tvare:

$$g(t) = \frac{\sin(\pi T_s t)}{\pi T_s t} = \sin(2\pi f_{\text{max}}t) / 2\pi f_{\text{max}}t$$

(3)

Kde $f_{\text{max}} = f_s / 2 = 1 / 2T_s$.

**D/A converters are technical means which allow mutual communication between discrete and analog systems. Then base function is accurately comprehended in the statement “D/A converters create bridge between digital and analog world”.**

**Introduction**

The Process of D/A conversion can be described by the relation between the progression input samples $x(n)$ and corresponding analog signal $x(t)$. If we suppose that the required analog signal is limited by the frequency $f_{\text{max}}$, then we take it from the progression of the samples $x(nT_s)$ on the base of the well known the Shannon interpolation formula:

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_s) \frac{\sin(\pi T_s (t-nT_s))}{\pi T_s (t-nT_s)}$$

(1)

$$x(t) = \sum_{n=-\infty}^{\infty} x(nT_s) g(t-nT_s)$$

(2)

whereby interpolation function $g(t)$ is in the form:

$$g(t) = \frac{\sin(\pi T_s t)}{\pi T_s t} = \sin(2\pi f_{\text{max}}t) / 2\pi f_{\text{max}}t$$

(3)

where $f_{\text{max}} = f_s / 2 = 1 / 2T_s$. 
Proces ideálneho Č/A prevodníka je možné chápať ako proces filtrácie, pri ktorom sa snažíme potlačiť všetky frekvenčné zložky diskretného signálu ležiace mimo frekvenčného rozsahu \(-f_{\text{max}}\) až \(f_{\text{max}}\). Interpolačná funkcia \(g(t)\) potom prestavuje impulznú odozvu dolnopriepustného filtra s frekvenčnou charakteristikou uvedenou na obr. 1.

Poznamenajme, že v uvedenom pripade sa stretávame s nekauzálnym IIR filtrom, ktorého priama realizácia nie je možná. V praktických aplikáciách sa preto pri realizácii Č/A prevodníkov stretávame s jednoduchšími prístupmi. Najčastejšie sa používané Č/A prevodníky s tvarovačom 0-tého rádu. Výstup tvarovačov je dalej upravený dolnopriepustným filtrom. V praktických aplikáciách sa priama realizácia nie je možná. In this case we use a non-causal IIR filter whose direct realization is impossible. In the design and realization of the D/A converters we have more simple approaches to the practical application. D/A converters with a zero order hold circuit (S/H) are frequently used. Output of the S/H is further formed by the lowpass filter. The structure of the D/A converter is depicted in Fig. 2.

It is possible to express the impulse response of the S/H by the following:

\[ g(t) = \begin{cases} 1 & 0 \leq t < T \\ 0 & \text{inak} \end{cases} \tag{4} \]

It is possible to determine the frequency response of the S/H from the impulse response by the application of Fourier transformation:

\[ G(F) = \int_{-\infty}^{\infty} g(t)e^{-j\pi F t} dt = T_s \frac{\sin\pi F T_s}{\pi F T_s} e^{-j\pi F T_s} \quad \text{when} \quad 0 \leq t < T \tag{5} \]

The amplitude frequency characteristic is depicted in Fig. 3.

The difference between the frequency characteristic of an ideal D/A converter (Fig. 1) and a D/A converter realized on the base of the S/H is quite significant.

In the design and realization of the D/A converters on the base of the S/H, higher order hold circuits are used, but without a remarkable improvement of the qualities of the D/A converters.

One interesting approach to the design and realization of the D/A converters is a converter which uses the principle of the sigma-delta modulation.
**Č/A prevodník na princípe Sigma-Delta Modulátora**

Sigma-delta modulátor transformuje postupnosť vzorkovania $\{y(m)\}$ na dvojhodnotový signál $z(t)$. Dvojhodnotový signál $z(t)$ je príkonen na analógový dolnopriepustný filter, ktorý potlačí vplyv nežiaducích frekvenčných zložiek. Princíp činnosti je znázornený na obr. 4.

**D/A Converter on the base of the S-D modulator**

Sigma-delta modulátor transforms progression of the samples $\{y(m)\}$ into bi-level signal $z(t)$. The bi-level signal $z(t)$ goes through an analog lowpass filter which eliminates the influence of undesirable frequency components. The principle of the function is depicted in Fig. 4.

**Architektúra číselného sigma-delta Č/A prevodníka**

Prezentovaný SD Č/A prevodník je navrhnutý ako číselný systém implementovaný do reprogramovateľného obvodu FPGA XC 4005E. Bloková schéma je uvedená na obr. 5.

**Architecture of the digital sigma - delta D/A converter**

The herein presented SD D/A converter is designed as a digital system implemented in a reprogrammable logic device, Field Programmable Gate Array (FPGA) XC 4005E. The block scheme of the implemented system with interface signals is depicted in Fig. 5.

**Vstupné a výstupné signály:**

- **DACOUT** - výstupný signál, sled impulsů, ktorý je spracovávaný dolnopriepustným filtrom
- **DACIN** - vstupná binárna zbernica
- **CLK** - vstupný taktovací signál. Jeho nábežnou hranou je riadnený pracovný cyklus prevodníka
- **Reset** - inicializačný signál

**Where:**

- **DACOUT** - output signal, pulse string, that drives the external lowpass filter
- **DACIN** - digital input bus
- **CLK** - system input clocks
- **Reset** - initializes system
Číslíková koncepcia SD Č/A prevodníka podstatne eliminuje teplotné vplyvy na jeho funkciu. Bloková štruktúra SD Č/A prevodníka je uvedená na obr. 6.

Jadro SD Č/A prevodníka vytvárajú sumátor Sigma Adder a register Sigma Latch, ktoré v uvedenom funkčnom spojení predstavujú systém priamej číslíkovej frekvenčnej syntézy DDFS (Direct Digital Frequency Synthesis). Jej všeobecná bloková schéma je uvedená na obr. 7.

Číslicová koncepcia SD Č/A prevodníka podstatne eliminuje teplotné vplyvy na jeho funkciu. Bloková štruktúra SD Č/A prevodníka je uvedená na obr. 6.

Jadro SD Č/A prevodníka vytvárajú sumátor Sigma Adder a register Sigma Latch, ktoré v uvedenom funkčnom spojení predstavujú systém priamej číslíkovej frekvenčnej syntézy DDFS (Direct Digital Frequency Synthesis). Jej všeobecná bloková schéma je uvedená na obr. 7.

Číslicová koncepcia SD Č/A prevodníka podstatne eliminuje teplotné vplyvy na jeho funkciu. Bloková štruktúra SD Č/A prevodníka je uvedená na obr. 6.

Jadro SD Č/A prevodníka vytvárajú sumátor Sigma Adder a register Sigma Latch, ktoré v uvedenom funkčnom spojení predstavujú systém priamej číslíkovej frekvenčnej syntézy DDFS (Direct Digital Frequency Synthesis). Jej všeobecná bloková schéma je uvedená na obr. 7.

Číslicová koncepcia SD Č/A prevodníka podstatne eliminuje teplotné vplyvy na jeho funkciu. Bloková štruktúra SD Č/A prevodníka je uvedená na obr. 6.

Jadro SD Č/A prevodníka vytvárajú sumátor Sigma Adder a register Sigma Latch, ktoré v uvedenom funkčnom spojení predstavujú systém priamej číslíkovej frekvenčnej syntézy DDFS (Direct Digital Frequency Synthesis). Jej všeobecná bloková schéma je uvedená na obr. 7.

Číslicová koncepcia SD Č/A prevodníka podstatne eliminuje teplotné vplyvy na jeho funkciu. Bloková štruktúra SD Č/A prevodníka je uvedená na obr. 6.

Jadro SD Č/A prevodníka vytvárajú sumátor Sigma Adder a register Sigma Latch, ktoré v uvedenom funkčnom spojení predstavujú systém priamej číslíkovej frekvenčnej syntézy DDFS (Direct Digital Frequency Synthesis). Jej všeobecná bloková schéma je uvedená na obr. 7.
Výstupné napätie SD Č/A prevodníka

Pre implementovanú číslicovú štruktúru SD Č/A prevodníka podľa obr. 6 je možné výstupné napätie prevodníka vyjadriť ako funkciu hodnoty vstupnej binárnej vzorky prevodníka \(Vault\) podľa nasledujúceho vzťahu

\[
V_{OUT} = \frac{\langle DAC_{IN} \rangle}{2^{MSBI+1}} \cdot V_{cco} \quad [V]
\]  

(9)

kde \(V_{OUT}\) je výstupné napätie za dolnopriepustným filtrom, analogový ekvivalent binárnej hodnoty vstupnej vzorky prevodníka

\(\langle DAC_{IN} \rangle\) binárna hodnota vstupnej vzorky prevodníka

\(MSBI\) najvyšší váhový bit vstupnej vzorky

Interval prevodu

Interval prevodu SD Č/A prevodníka je v tomto prípade určený vzhľadom

\[
T_P = 2^{MSBI+1} \cdot T_{CLK}
\]  

(10)

kde \(T_{CLK}\) je perioda taktovacích hodín systému

V prípade 8-bitovej vstupnej vzorky a taktovej frekvencie 50 MHz je v našom prípade čas prevodu 5,12 μs.

Uvedený číslicový SD Č/A prevodník má univerzálné použitie v oblastiach, v ktorých vyhovuje s hľadiska rýchlosti prevodu. Môžu to byť napríklad nasledovné aplikácie:
- programovateľný generátor napätia
- generátor periodických priebehov
- generátor zvuku
- RGB generátor

Záver

Popísaný Sigma Delta Č/A prevodník je jedným z prikladov efektíveho využitia programovateľných logických obvodov typu FPGA v oblastiach, ktoré boli donedávna doménu analogových obvodov. Hustota integrácie a rýchlosť dnešných FPGA obvodov dovoluje implementáciu veľmi rozsiahlych číslicových štruktúr pracujúcich frekvenciou až 350 MHz. Nezanebnateľným aspektom uvedenej koncepcie SD Č/A prevodníka je minimalizácia počtu stavebných komponentov s pozitívnymi dôsledkami na zvýšenie spoločnosti systému.

Recenzenti: J. Mintal, M. Hrianka

Literatúra - References

[1] PROAKIS, J.G., MANLOAKIS, D.G.: Digital signal processing, MPC, New York 1992
[2] The programmable logic Data Book, Žilina, 1999
[3] XCELL Journal, Issue 31, 1999
[4] Analog Devices Data Converter Reference Manual, Volume I, 1992