注目領域画素並列検波による3次元形状取得向けCMOSイメージセンサ

A CMOS Image Sensor for 3-D Range Map Acquisition With Pixel-Parallel Correlation In The Region of Interest

松島 多佳彦†, 池田 誠†
Takahiko Matsushima† and Makoto Ikeda†

1. まえがき

近年の集積回路技術の発展に伴い、CMOS製造プロセスにより様々な信号処理回路を組み込んだスマートイメージセンサの研究が盛んに行われている。その中で、3次元画像取得用のイメージセンサは大きなトピックの1つである。3次元情報は、車載距離センサ、産業用ロボットの視覚センサ、娯楽用品など様々な場面で用いられており、アプリケーションに応じた機能を持つ3次元画像取得センサが求められている。

3次元画像の取得手法として代表的なものは、Time-of-Flight（ToF）法[1～5]、ステレオマッチング法[6]、構造光法[7]、光切断法[8～9]が挙げられ、表1に示すようにそれぞれ距離精度や測定可能範囲が異なる。

ToF法はLED光やレーザー光を対象物体に均一に照射し、反射光をセンサで検出する。光を照射してから反射光がセンサで検出されるまでの光の往復時間から3次元情報を取得する。ToF法の特徴として測定可能範囲が1mほどから100mほどまでと非常に広いことが挙げられる。ToF法では、照射光自体の輝度情報は必要ないため、蛍光灯や太陽光といった背景光成分を除いて照射光成分のみ検出する処理をセンサ上に実装することで、遠距離の測定で反射光が弱まっても測定可能であるためである。しかし、1cmの分解能を得るためには約67psの時間分解能が必要であり、測定精度(1σ)は数mmから数cmとなる。したがって、ToF法は短距離にあたる対象物の正確な形状の取得を行う場合に用いる傾向がある。

一方、ステレオマッチング法、構造光法、光切断法は三角測量法に基づく3次元情報取得手法であり、1mm以下の精度で得られる測定が可能である。ステレオマッチング法は、2つの以上的異なる角度から撮像された2次元画像から3次元情報を得る手法である。2次元画像からコンピュータ処理により対応点の位置を割り出し、複数のカメラの視差から対応点までの距離を計算する。測定可能範囲が大きく精度も良いが、対応付けの困難な濃淡のはっきりしない物体や平坦な壁などの場合であると計算が難しく、使用できる場面は限られている。

構造光法、光切断法は特定のパターンを有する光を対象物に照射し、源光とパターン光の位置情報から三角測量法により距離を算出する。構造光法ではいくつかの2次元パターン光を用い、光切断法ではシート光の走査によって測定を行う。これらの手法では、1枚の3次元画像を得るのに多くのパターン光、シート光の検出が必要であるため、高速な検出が求められる。パターン光、シート光の検出は輝度情報から検出する方法と照度検出法をベースに変更し、相関検波によって検出する方法がある。後者では、検波回路が必要となり解像度が低くなるが強弱照射光でも検出可能となる利点がある。

キーワード： CMOSイメージセンサ、3次元形状取得、光切断法

2014年8月14日受付、2014年10月9日採録
†東京大学大学院 工学系研究科電気工学専攻
（〒113-8656 東京都文京区 7-3-1 工学部 3号館 1階 107号室、TEL. 03-5841-6772）
本稿では、10cmから1mほどまでの測定を対象とした
光切断法による検波型イメージセンサにおいて、画像配列
の外に設置された検波回路によりシート光の輝線の位置を
注目領域 (Region of Interest, ROI) のみを検波する注目領域
画像並列検波方式によるイメージセンサを提案する。この
イメージセンサは160×144の画像配列の各列に1個、各行
に16個の検波回路を有する。各列に置かれた検波回路に
よってシート光の当たっている列を特定し、特定された
列を各行に置かれた検波回路によって検波することで注目
領域における詳細な位置情報を得る。提案手法により、検
波型イメージセンサの解像度を向上させつつ高速な検出が
可能である。

2. センシングシステムと回路構成

2.1 光切断法

図1に光切断法の測定システムとその位置関係を示す。
光切断法の測定システムは、レーザ光源、スキャンミラー
そしてイメージセンサからなる。レーザ光源から照射され
るシート光はスキャンミラーによって対象物の表面上を走
査し、センサは各スキャンにおける輝線の位置を取得する。
距離情報はシート光の照射角、輝線のセンサへの入射角、光
源とセンサ間の距離ベースライン長から三角測量法の原理
によって算出される。各スキャンにおいて、シート光照射
角θとベースライン長dは既知であり、輝線の入射角φは
輝線のセンサ面上でのセンサ中心からの変位xとレンズの
焦点距離fから\[\tan \varphi = \frac{f \cdot \tan \theta}{f + x \cdot \tan \theta}\]と算出され、ベースラインから
物体までの距離\(z_p\)は

\[z_p = \frac{df \cdot \tan \theta}{f + x \cdot \tan \theta}\]  (1)

と表される。各画素において輝線が当たっているか否か
の2値情報だけ取得すれば\(x\)を算出可能であり、距離情報
を得ることができる。次項で、検波によりある周波数を変
調したシート光を検出す手法および回路構成を示す。

2.2 回路構成

図2に画素回路と検波回路の回路構成を示す。画素回路
はフォトダイオード (PD)、選択トランジスタ、カレントミ
ラーチ回路からなる。検波回路は、対数応答回路、ハイパス
フィルタ (HPF)，差動増幅回路、サンプリング回路、コン
パレル回路からなる。画素回路では、カレントミラーチ
回路によって光電流が増幅される。図中では省略してあるが、
実際には選択トランジスタが二つあり、画素回路は二つ
の出力を持つが、この意図は次項で説明する。画像から出
力された光電流は対数応答回路によって電圧\(V_{pd}\)を
得る。対数応答で電圧を得るため、光電流のダイナミックレンジ
を拡大することが可能である。\(V_{pd}\)は、HPFへと入力され
る。HPFでは、\(V_{pd}\)を差動増幅回路により増幅し\(V_{mod}\)
を得る。ただし、\(V_{mod}\)の直流成分\(V_{avg}\)をRCローパスフィ
ルタにより取出し、差動増幅回路へフィードバックするこ
とで、\(V_{mod}\)は\(V_{pd}\)の交流成分を取出した信号となる。照

光変数として数kHz以上の周波数で変調したシート光を用
いることを想定して容量C0の値を決定した。HPFの出力
\(V_{mod}\)は差動増幅回路により\(V_{av}\)を参照電圧として増大さ
れ\(V_{amp}\)を得る。したがって、微小な輝度の変化を増大し
て取り出すことができる。\(V_{amp}\)は、図3に示すように照
射光と同期した2信号MPY, MPY-によってそれぞれ容量C1, C2
へサンプリングされる。図3に示すように、シート光が当たっ
ている場合には\(C_1, C_2\)に蓄えられる電圧値\(V_1, V_2\)に差が生じる。一方、シート光が当たってい
ない場合には\(V_1\)と\(V_2\)の電圧差は0である。したがって、\(V_1\)
と\(V_2\)をコンバータ回路により比較することでシート
光の有無を2値で判定できる。

検波回路の背景光抑制性能と光電流のダイナミックレンジ
の回路シミュレーション結果を図4に示す。回路シミュ
レーションは、フォトダイオードの代わりに光電流に相当
する電流源を用いて行った。ただし、背景光成分を直流電
流源\(I_{bg}\)，シート光成分を周波数1kHzの矩形波交流電流
源\(I_{sig}\)とし，両者を並列接続した。図4は本検波回路の動
作範囲をシミュレーションにより示したもので、軸は背
景光量\(I_{bg}\)であり、縦軸はシート光量\(I_{sig}\)である。図4の
実線部は、背景光量に対する検出可能最小のシート光量
(これを\(I_{sig,min}\)とおく)を示したものである。検波回路の
背景光抑制性能はSignal-to-Background Ratio (SBR)に
よって評価される。回路シミュレーションにおいては電流
表 1 3次元情報取得手法の特徴

| 手法          | 設定範囲     | 精度          | 背景光抑制特性 |
|--------------|--------------|---------------|---------------|
| ToF 法       | 50cm-100m 程度 | 数 mm-1cm 程度 | □            |
| ステレオマッチング法 | 2次元画像取得可能範囲 | 0.1mm-1m 程度 | ×            |
| 構造光法・光切断法 | 1cm-1m 程度 | 10μm-1mm 程度 | △            |

波回路、各々 N 個の検波回路からなる。各画素は列方向と行方向の二つの出力を持つ。図 5(b)に示すように、各列ではすべての画素が一つの検波回路に接続されている。また、図 5(c)に示すように各行では画素が N 個ずつのまとまりに区分され、それぞれのまとまりで N の最小系で画素を分類し、N 個の検波回路にそれぞれ接続されている。したがって、画素配列は N 列ずつのブロック（以下、ROI ブロック）に区分される。本センサの、シート光の当たった ROI ブロックを特定し、その ROI ブロックを各行の検波回路に読み出してシート光位置を特定するが、ROI ブロックの大きさ N の最適化について説明する。

このシステムでは、3次元画像を得る処理時間において検波時間が支配的となる。したがって、処理速度はシート光が当たっている ROI ブロックの数による。その数はセンサの視野、対象物の大きさから求めることができる。図 6は、光切断法の測定システムのレンズとチップの位置関係を示す。x 軸が幅方向、z 軸が奥行き方向である。あるスキャンにおいて、シート光が奥行き位置 z0 から z1 にわたって照射されているとき、シート光の像が画素配列上で行方向に広がる大きさ w は以下の式で表される。

\[ w = d \cdot f \cdot (\frac{1}{z_0} - \frac{1}{z_1}) \]  \hspace{1cm} (2)

ただし、f はレンズの焦点距離、d はベースライン長である。焦点距離 f を 8mm、ベースライン長 d を 200mm とし、z0（対象物の位置）が 1000mm の場合、z1 = z0（対象物の大きさ）に応じたシート光の像が行方向に広がる画素数 N は計算した結果を表 2 に示す。ただし、画素の大きさは 10μm × 9μm とし、これは試作センサチップに準拠するものである。試作センサチップの解像度は 160×144 であり、位置 z0 における幅方向の視野の大きさは 162mm

2.3 センサの全体構成

図 5(a)に注目領域画素並列検波処理によるセンサ全体構成を示す。センサチップは画素配列、各列に 1 個の検波回路、各行に N 個の検波回路からなる。各画素は列方向と行方向の二つの出力を持つ。図 5(b)に示すように、各列ではすべての画素が一つの検波回路に接続されている。また、図 5(c)に示すように各行では画素が N 個ずつのまとまりに区分され、それぞれのまとまりで N の最小系で画素を分類し、N 個の検波回路にそれぞれ接続されている。したがって、画素配列は N 列ずつのブロック（以下、ROI ブロック）に区分される。本センサの、シート光の当たった ROI ブロックを特定し、その ROI ブロックを各行の検波回路に読み出してシート光位置を特定するが、ROI ブロックの大きさ N の最適化について説明する。

図 4 検波回路の背景光抑制性能とダイナミックレンジを背景光 Ibg とシート光 Isig に対して示したシュミレーション結果

2.3 センサの全体構成

図 5(a)に注目領域画素並列検波処理によるセンサ全体構成を示す。センサチップは画素配列、各列に 1 個の検波回路、各行に N 個の検波回路からなる。各画素は列方向と行方向の二つの出力を持つ。図 5(b)に示すように、各列ではすべての画素が一つの検波回路に接続されている。また、図 5(c)に示すように各行では画素が N 個ずつのまとまりに区分され、それぞれのまとまりで N の最小系で画素を分類し、N 個の検波回路にそれぞれ接続されている。したがって、画素配列は N 列ずつのブロック（以下、ROI ブロック）に区分される。本センサの、シート光の当たった ROI ブロックを特定し、その ROI ブロックを各行の検波回路に読み出してシート光位置を特定するが、ROI ブロックの大きさ N の最適化について説明する。
である。対象物の大きさを100mm程度と想定して、試作センサチップにおいては、表2に基づいてROIブロックの大きさを16と定めた。

2.4 センサチップ全体の動作
センサは以下の手順で3次元画像を得る。

(a) すべての画像を同時に各列の検波回路へと接続する。検波回路の出力からシート光が当たり列(ROI)を検出することができます。(図7(a))

(b) シート光の像が16列を超え広がる場合、ROIを含むROIブロックを順に各列の検波回路へ接続する。(図7(b))

(c) シート光の像の広がりが16列未満であるが二つのROIブロックにまたがる場合は、図7(c)に示すように同時に二つのROIブロックを接続する。

各列の検波回路の出力結果と合わせてシート光の像の位置を求める。

![図6 光切断法による測定システムのレンズとチップの位置関係](image)

![図7 センサチップの動作](image)

表2 対象物の大きさとシート光の像の広がる大きさ
| f (mm) | 8 |
|------|---|
| d (mm) | 200 |
| zp0 (mm) | 1000 |
| zp1 = zp0 (mm) | 40, 80, 120, 160 |
| Nw | 7, 13, 19, 25 |

3. 試作イメージセンサ概要
イメージセンサは0.18μm CMOS標準プロセスを用いて試作された。図8に試作チップの写真を示す。画素の大きさは10μm x 9μmであり、開口率は44.1%であった。試作センサの諸元を表3に示す。

4. 測定結果
図9に試作チップを用いた測定システムの構成を示す。
測定システムは試作センサ，FPGA，ホストPC，シート光源からの。FPGAは60MHzで動作し，センサ制御，変調信号生成を行う。シート光源の波長は650nmである。センサは，列並列検波回路の出力をチップ内部のシフトレジスタによって逐次出力し，行並列の検波回路の出力は選択された行の出力16bitが一度に出力される。センサの出力をFPGAに取り込み，シート光位置アドレスを算出しFPGA上のメモリに格納する。位置情報はFPGA上に実装されたUSBインタフェースによってPCへ転送される。

### 4.1 距離精度の測定

検出精度に関して以下の測定を行った。図10に示すようにシート光を遮光板により強度を1％に減衰させてセンサに直接照射した。シート光の変調周波数は1kHzとした。シート光位置を固定したまま全画素値を読み出し，図11に示すようなシーン画像を10枚得た。これらのシーン画像を用いてシート光の輝線位置$x$を算出し，表2に示す対象物の距離$x_p$，レンズの焦点距離$f$，ベースライン長$d$を仮定した場合の誤差を式1を用いて見積もりもった。図12に$x$を算出するために用いたシーン画像の枚数(横軸)に対する測定誤差(1σ)を示す。シーン画像を1枚しか用いない場合の測定誤差(1σ)は10.7mmであった。

### 4.2 処理速度の測定

前節と同様のセットアップでシーン画像をえるのに必要な最小の検波時間は4msであった。各スキャンにおける検波回数は異なるが，2章2.3におけるROIの最適化により，視野範囲内(162mm)における最大の対象物に対する検波回数は，$N_w = 25$であることから，行並列回路による検波に最大3回要求することになり，列並列検波回路による検波1回と合わせて最大4回になると推定される。処理速度を見
積もると、球の形状を取得した場合の想定される処理速度を以下のようにシミュレーションを行った。表2より球の位置20 = 1000mm、レンズの焦点距離f = 8mm、ベーシライン長d = 200mmとし、各スキャンにおけるセンサの輝線の位置を逆算することによって検波処理の回数を算出した。ただし、シート光の太さは8mmとした。各スキャンにかかる処理時間はセンサ出力の読み出し時間と検波時間の和であり、1枚の距離画像を得るためのスキャン回数を100回、センサ出力の読み出しクロックを60MHzとして場合の処理時間を算出した。図13にシミュレーションにおいて球の大きさを変化させた場合の処理速度を示す。シミュレーションにおいてセンサの幅方向の視野は16mmであり、ほぼ視野全体に収める半径80mmの球の場合、1枚の3次元画像を得るためには必要な速度は0.869 range maps/sであった。処理速度に関しては、注目領域をROIブロック単位で読み出すのではなく、任意の列を読み出すようにデコーダを設置することで向上が期待できる。

4.3 背景光抑圧性能の測定
試作センサの背景光圧性能はシミュレーションにより期待されたものよりも小さく、反射光を検出することができなかった。想定した感度が得られなかった原因として、電流光がシミュレーションにおいて想定していたものよりも小さく、図2のM1、M2のリーク電流が想定より大きかったため、リークに対する信号比が充分に取れなかったことが考えられる。さらに、対数応答回路における信号雑音、長脈衝による寄生容量により光電流の信号比が劣化したためと考えられる。改善のためには、光信号を電流領域で出すのではなく、画素で電荷を蓄積することで電圧領域で出す形にすることが考えられる。

5. す び
本稿では注目領域画素並列検波処理による3次元形状取得向けCMOSイメージセンサを報告した。試作したチップの測定では、背景光圧性能が小さいことが確認された。測定結果から観測された距離1000mmにおけるオフキ方向の測定誤差(1σ)は10.7mmであり、処理速度は0.869 range maps/sであった。今後の課題として、光電流が小さいときの背景光圧性能を上げるためとROIブロック単位ではなく任意の列を読み出すことのできる機構の導入、反射光の輝度情報を多値で読み出すことによる精度の向上が挙げられる。

本研究は、東京大学大学院工学系研究科電子工学専攻教授研究室で行われたものである。また、本稿作成には、朝日木材株式会社の協力を得ました。ご協力頂いたことに対して感謝の意を表する次第です。